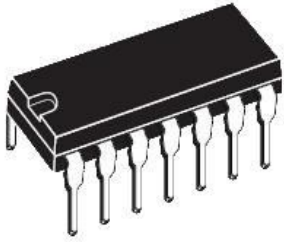


**Микросхема K561TM2** представляет собой два двухступенчатых (master-slave) D-триггера со входами асинхронной установки и сброса и противофазными выходами.

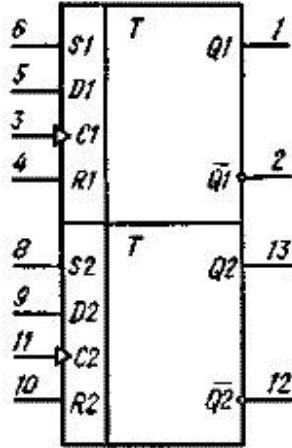
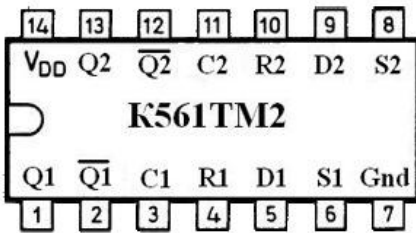


Корпус: DIP-14

**Основные характеристики м/с K561TM2:**

Напряжение питания (Vdd)	+3..+15V (max 18V)
Вых. напряжение лог. 0	<0,05V
Вых. напряжение лог. 1	>Uпит-0,05V
Рабочий диапазон температур	-40°C..+85°C
Корпус	DIP-14
Импортный аналог	CD4013/HEF4013

**Назначение выводов м/с K561TM2: Условное обозначение триггеров K561TM2:**



Микросхема K561TM2 по входным и выходным уровням сигналов совместима с другими ИС стандартной КМОП логики серии 40xx/K561.

Двухтактный D-триггер микросхемы K561TM2 работает следующим образом:

По фронту первого импульса синхронизации на входе С логический уровень со входа D записывается в первый одноктактный D-триггер. По фронту второго синхроимпульса на входе С информация записывается во вторую ступень триггера и на выходе Q устанавливается уровень, присутствовавший на входе D перед первым синхроимпульсом. Таким образом, на выходе двухтактного D-триггера сигнал задерживается на один такт (период следования синхроимпульсов).

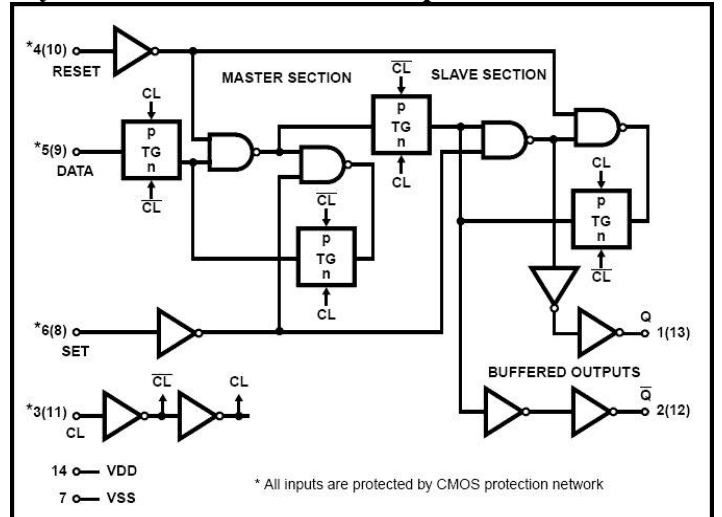
Входы установки (S) и сброса (R) не зависят от импульсов синхронизации т.е. являются асинхронными. Они имеют активный высокий уровень (лог."1"). Поступление высокого уровня на один из входов R или S устанавливает обе ступени D-триггера соответственно в "0" или "1" независимо от состояния входов С и D. Длительность импульса синхронизации на входе С должна быть не менее 100нс с крутизной фронта не менее 5мкс.

**Таблица логических состояний м/с K561TM2:**

Clock	D	Reset	Set	Q	$\bar{Q}$
	0	0	0	0	1
	1	0	0	1	0
	X	0	0	Q	$\bar{Q}$
X	X	1	0	0	1
X	X	0	1	1	0
X	X	1	1	1	1

0 - низкий уровень, 1 - высокий уровень, X - произвольное состояние.

**Функциональная схема микросхемы K561TM2:**



\* All inputs are protected by CMOS protection network